

## 波形模拟器关于组合电路中竞争冒险的应用

蔡 烁<sup>1,2</sup>, 杨致远<sup>1</sup>, 刘 舜<sup>1</sup>

(1 长沙理工大学 计算机与通信工程学院, 湖南 长沙 410004;

2 湖南大学 信息科学与工程学院, 湖南 长沙 410082)

**摘 要:** 为了更好地研究组合逻辑电路的竞争冒险现象, 提出了一种关于组合电路竞争冒险的波形模拟方法, 利用基于布尔过程的波形模拟器对电路进行模拟. 该方法为检测电路中的竞争冒险现象提供了帮助, 能有效降低对某些尖峰脉冲敏感的负载电路所产生的影响. 实验结果证明了该方法的可行性和有效性.

**关键词:** 布尔过程; 波形模拟器; 组合电路; 竞争冒险

**中图分类号:** TP331

**文献标识码:** A

**文章编号:** 1000-7180(2012)01-0067-04

## The Application of Waveform Simulator in Raze-Hazard of Combinational Circuit

CAI Shuo<sup>1,2</sup>, YANG Zhi-yuan<sup>1</sup>, LIU Shun<sup>1</sup>

(1 School of Computer and Communication Engineering, Changsha University of Science and Technology, Changsha 410004, China;

2 School of Information Science and Engineering, Hunan University, Changsha 410004, China)

**Abstract:** In order to study the raze-hazard in combinational circuit, an approach of waveform simulation of the raze-hazard in combinational circuit was proposed in this paper, it used the waveform simulator which based on Boolean process. The method is thought to be assistant to detecting the raze-hazard and effectively reducing the influence caused by the glitch on the sensitive loaded circuit. The experimental results suggested that the method was feasible and effective.

**Key words:** Boolean process; waveform simulator; combinational circuit; raze-hazard

### 1 引言

随着半导体工艺的进步, 数字电路在向更快、更密、更复杂的方向迅速发展. 电路的逻辑功能越来越复杂, 对精度的要求也越来越高; 工作频率的加快, 导致对电路的定时要求更加严格, 信号通过元件产生的延时对电路性能的影响日益突出, 这些对在电路设计和测试中占重要地位的电路模拟器提出了新的要求. 传统模拟器如分级编译模拟器, 事件驱动模拟器, 分级事件驱动模拟器虽然各有各的特点, 但都难以同时满足速度和精度的要求<sup>[1-3]</sup>.

基于布尔过程的波形模拟器兼顾了上述两方面的要求, 既能准确地反映电路的逻辑行为, 又能精

确反映出电路的定时特性. 波形模拟器以布尔过程为理论基础, 它可以描述波形的逻辑值与跳变发生的时刻, 还可以较方便地删除波形传播过程中产生的窄脉冲, 而各类逻辑门的延时值也可以由用户根据实际情况自行设定.

本文利用波形模拟器准确的定时功能, 设置恰当的门延时模型参数, 建立组合电路中关于竞争冒险的模型, 有效检测其尖峰脉冲的形成, 为进一步发现电路中不利的竞争冒险现象, 并有针对性地修改电路逻辑打下基础.

### 2 布尔过程论简介

本节主要介绍相关的布尔过程基本概念.

**收稿日期:** 2011-06-23; **修回日期:** 2011-08-04

**基金项目:** 国家自然科学基金项目(60773207); 湖南省大学生创新实验基金(2010-224-114)

**定义 1** 在集合  $B=\{0,1\}$  上定义运算  $a \vee b = \max\{a,b\}$ ,  $a \wedge b = \min\{a,b\}$ ,  $\neg a = 1-a$ . 则  $(\{0,1\}, \wedge, \vee, \neg)$  是一个布尔代数. 布尔过程是自变量为  $t$  的布尔变量簇  $\{X(t) | t \in T\}$ , 其中  $T \subset (-\infty, +\infty)$ .

通过定义 1 可知, 与传统布尔代数中的布尔变量相比, 布尔过程中的布尔变量都是以时间参数为自变量的函数.

**定义 2** 实值函数:  $w(t) = \begin{cases} 0, & t \leq 0 \\ 1, & t > 0 \end{cases}$  称为基本波形, 可简记为  $w_0$ . 它表示在  $t=0$  时刻有一个上升沿的波形; 用  $w_\tau$  表示在  $t=\tau$  时刻有一个上升沿的波形, 容易得到以下时延关系:  $w_\tau(t) = w_0(t-\tau)$ ; 在  $t=\tau$  时刻有一个下降沿的波形可表示为  $1-w_\tau$ ; 而在  $t=\tau$  时刻有上升沿且脉宽为  $\delta$  的正脉冲可以表示为  $w_\tau - w_{\tau+\delta}$ ; 其相应负脉冲则为:  $1-w_\tau + w_{\tau+\delta}$ .

设  $\text{AND}_\tau, \text{OR}_\tau, \text{NOT}_\tau$  分别表示时延  $\tau \geq 0$  的基本逻辑门<sup>[4]</sup>.  $A, B$  为任意输入波形, 则基本逻辑门的输出波形多项式可表示为:

$$\text{AND}_\tau(A, B) = A_\tau B_\tau,$$

$$\text{OR}_\tau(A, B) = A_\tau + B_\tau - A_\tau B_\tau,$$

$$\text{NOT}_\tau(A) = 1 - A_\tau$$

利用基本逻辑门的运算法则, 可以推导出任意复杂逻辑门的计算公式. 此外, 任何波形  $X(t)$  都可以表示为:  $X = c + (-1)^c \sum_{i=1}^n (-1)^{i-1} w_i$  其中  $c \in \{0,1\}$ . 在波形模拟器中表示为  $\{C\} \cup \{t_i | i=1, 2, \dots, n\}$ . 例如, 波形  $w_5 - w_{10}$  可以表示为  $\{0, 5, 10\}$ , 表明波形的初值为 0, 在 5 时刻有从 0 到 1 的正跳变, 10 时刻有 1 到 0 的负跳变, 并一直维持到结束.

### 3 竞争冒险模型及其布尔过程表示

电路的竞争冒险包括两方面的含义: 一是门电路两个输入信号同时向相反的逻辑电平跳变产生竞争现象; 二是电路有竞争现象时可能产生尖峰脉冲, 而这个尖峰脉冲是违背稳态下逻辑关系的一种噪声, 可能对系统产生很大的影响.

#### 3.1 竞争冒险模型

在图 1(a) 所示的与门电路中, 稳态下无论  $A=1, B=0$  还是  $A=0, B=1$ , 输出  $Y$  总是为 0. 但当输入信号  $A$  从 1 跳变到 0 时, 如果  $B$  从 0 跳变为 1, 而且  $B$  首先上升到  $V_{IL(\max)}$  的状态, 则门电路的输出端会产生极窄的  $Y=1$  的尖峰脉冲, 或称为电压毛刺<sup>[5]</sup>. 对于或门、与非门、或非门等也存在类似的

现象.

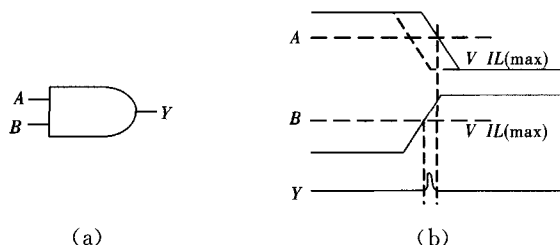


图 1 与门竞争冒险产生图

应当指出, 有竞争时不一定都会产生尖峰脉冲, 还需要根据门电路的特性判定<sup>[6]</sup>. 同样以图 1 所示的与门电路为例, 如果在  $B$  上升到  $V_{IL(\max)}$  之前  $A$  已经到了  $V_{IL(\max)}$  以下 (图中虚线所示), 此时输出端不会产生尖峰脉冲. 同理, 其它逻辑门也有类似的情况.

在复杂数字系统中, 门电路的输入端信号  $A, B$  是经过不同的传输路径到达的, 在设计时往往难于准确知道  $A, B$  到达的次序以及它们在上升、下降时间上的细微差别. 因此, 只要电路中存在竞争现象, 输出就有可能产生尖峰脉冲. 由于竞争而在电路输出端可能产生尖峰脉冲的现象就称为竞争冒险<sup>[7]</sup>.

#### 3.2 竞争冒险模型的布尔过程表示

在考虑竞争冒险模型时需要研究电路的时延, 本文主要考虑逻辑门的传输时延. 基本的门时延参数可由电路仿真软件 SPICE 在特定的 IC 工艺上模拟得到, 假定同一类型的逻辑门具有相同的时延参数<sup>[8]</sup>. 在实验中, 采用  $0.35\mu\text{m}$  工艺的 CMOS 模型, 通过 SPICE 模拟得到各类逻辑门的上、下跳变平均延时分别为: NOT (60ps)、NAND2 (88ps)、NOR2 (120ps)、AND2 (160ps)、OR2 (199ps).

假设逻辑门的两个输入信号逻辑值向相反方向跳变的时间间隔为  $\delta$ , 其跳变规则符合产生尖峰脉冲的规则, 在输出端产生的尖峰脉冲幅度与  $\delta$  有关, 若  $\delta$  足够大, 输出端的尖峰脉冲明显. 逐渐减小  $\delta$ , 输出的尖峰脉冲宽度也逐渐减小. 当  $\delta$  达到一个特定值后, 如果继续减小  $\delta$ , 输出尖峰脉冲的峰值也会逐渐较小, 把输出脉冲峰值减小到阈值电压时对应的  $\delta$  当作临界脉宽, 记为  $\epsilon$ .  $\epsilon$  的大小取决于该逻辑门的延时大小, 是与工艺相关的参数, 同样可以通过 SPICE 模拟获得.

在  $0.35\mu\text{m}$  CMOS 工艺下, 用 SPICE 模拟基本逻辑门冒险生成的情形. 根据模拟结果, 基本逻辑门的临界脉宽如表 1 所示.

表 1 基本逻辑门临界脉宽

| 逻辑门      | AND2 | OR2 | NAND2 | NOR2 |
|----------|------|-----|-------|------|
| 临界脉宽(ps) | 116  | 133 | 40    | 47   |

假设  $a, b$  是一个与门的输入信号, 它们的波形表示式为:

$$a(t) = k_0 + \sum_{i=1}^n (-1)^{k_i} w_{t_i}$$

$$b(t) = p_0 + \sum_{i=1}^m (-1)^{p_i} w_{s_i}$$

其中  $k_0, k_i, p_0, p_i=0$  或 1. 如果  $m=n=1, k_0=p_0=0, k_i=0, p_i=1, t_1 < s_1$  且  $s_1 - t_1 > \epsilon$ , 则输出端的波形表示为:  $Y=w_{s_1}-w_{t_1}$ , 输出端产生了一个脉宽为  $w_{s_1}-w_{t_1}$  的逻辑门临界脉冲. 对其他的逻辑门也可以得到类似的结果.

4 组合电路竞争冒险的波形模拟

对于一已知组合电路, 给定原始输入端的波形, 信号逐级向原始输出传播. 一个逻辑门的输出波形只有在此门的所有输入端波形确定后才能被计算.

4.1 考虑竞争冒险的基本逻辑门节点波形模拟算法

采用组合电路波形模拟算法对数字电路的  $N$  个节点分别进行波形模拟时, 考虑竞争冒险, 可以得到该电路中所有竞争冒险点和各节点波形. 具体算法如下:

- (1) 设定竞争冒险判定门限值  $\eta$ ;
- (2) 取节点  $I(I=1, 2 \cdots N)$  的标号类型, 根据节点  $I$  前驱节点的波形计算该节点波形;
- (3) 判断该点波形在前驱上下跳变时间段是否存在小于逻辑门临界脉宽的脉冲, 若是, 删除该脉冲;
- (4) 保存该节点波形, 判断该波形中是否存在竞争冒险(即是否存在脉冲宽度  $T < \eta$ ), 若是, 保存该节点标号;
- (5) 判断  $I$  是否为  $N$ , 若是, 转(6), 否则  $I=I+1$ , 转(2);
- (6) 结束.

4.2 C17 电路模拟结果

考虑 ISCAS85 中 C17 电路, 如图 2 所示. 对其进行波形模拟, 节点 3 的信号经过不同路径到达节点 7 处, 且逻辑值相反, 将其他输入端设为逻辑非控制值, 使其可能产生竞争冒险.

设  $PI_1=PI_2=PI_4=1, PI_3=1-w_{30}, PI_5=1$

$-w_{125}$  (单位为 ps), 考虑与非门的平均延时为 88ps, 由布尔过程相关理论知识可推出  $PI_{13}=w_{118}, PI_{12}=w_{118}, PI_{16}=1-w_{206}, PI_{19}=1, PI_7=1-w_{206}+w_{294}, PI_9=w_{294}$ . 由于 12, 16 号节点信号有方向相反的跳变, 由于竞争而生成窄脉冲, 其宽度大于与非门临界脉宽, 尖峰脉冲被保留, 因此 7 号节点输出一个宽度为 88 的窄脉冲, 而 5, 13 号节点信号虽然有方向相反的跳变, 其跳变规则符合产生尖峰脉冲的规则, 但是其跳变时间间隔为 7, 其宽度小于与非门临界脉宽, 尖峰脉冲被删除, 因此 19 号节点波形无窄脉冲输出.

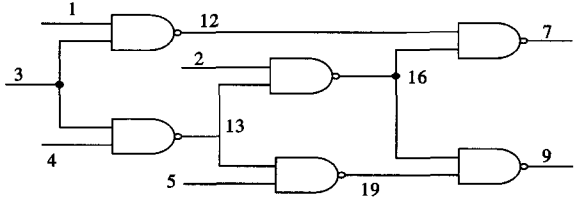


图 2 C17 电路图

用波形模拟器产生的波形如图 3 所示. 在 Intel CPU T6500, 2.1GHz, 2GB 内存的实验环境下, 整个波形模拟的时间为 0.5ms.

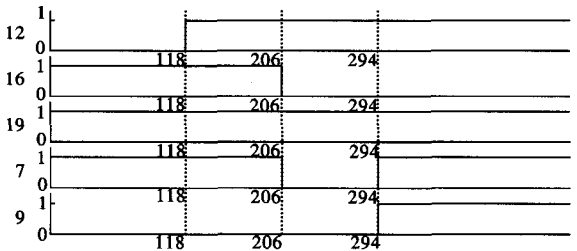


图 3 波形模拟器产生的波形

4.3 实验结果

考虑 ISCAS85 其他电路, 使用 Visual C++ 6.0 的编译器. 利用波形模拟器对电路进行如下处理: 选择输入端中  $n$  个输入信号在  $\tau_i, i \leq n (\tau_i \gg 0$  且  $\Delta\tau \gg 0)$  发生一个跳变, 而其他输入端保持恒电平, 使各节点由于正常逻辑关系出现脉冲时宽度较大, 以区别电路中各逻辑门延迟引起的竞争冒险形成窄脉冲, 再设定判断窄脉冲的门限值  $\eta$  ( $\eta$  可以根据电路的规模和  $\tau_i, \Delta\tau$  的大小而设定), 当节点信号出现的脉宽小于  $\eta$  时则判断出该节点出现由于竞争冒险形成的窄脉冲, 将该节点提取出来, 这样检验出在该输入信号下有竞争冒险的节点.

对 C181 等八个电路进行模拟时, 选取  $\eta=1000, \tau_i > 1000, \Delta\tau > 1000$ , 对每个电路进行模拟得到的结果如表 2 所示. 表中测试输入波形栏中括号

外每一个数字表示每个恒定输入信号,其中 $(L, T)$ 表示该输入节点初始输入为 $L$ ,在 $T$ 时刻产生跳变;竞争冒险个数表示各个电路在对应输入下模拟器测试得出的竞争冒险数目;时间列为该模拟过程在主流机上的平均耗时;表格还列举了竞争冒险形

成窄脉冲的节点中某两个节点的波形及其在无延时影响电路中对应的波形,波形数据结构为 $\{N_i, L, t_0, t_1 \cdots t_n\}$ ,表示第 $i$ 个节点初始逻辑值为 $L$ ,分别在 $t_0, t_1 \cdots t_n$ 时刻产生跳变。

表2 ISCAS85 部分电路模拟结果

| 电路名称  | 测试输入波形                                                                                                         | 竞争冒险个数 | 时间(ms) | 延时模型竞争冒险点<br>波形举例(任意两个)                      | 无延时模型<br>对应点的波形      |
|-------|----------------------------------------------------------------------------------------------------------------|--------|--------|----------------------------------------------|----------------------|
| C181  | 111 (0, 40000) (1, 1200) (0, 2900)<br>11011111                                                                 | 3      | 1.030  | {N116,0,1480,1540}<br>{N183,1,1600,1660}     | {N116,0}<br>{N183,1} |
| C432  | 1111(0,10000)111111111(1,32000)<br>11111111111111111111                                                        | 6      | 1.594  | {N345,1,32544,32764}<br>{N382,1,10088,10664} | {N345,1}<br>{N382,1} |
| C499  | 111111111(1,15000)11111111(0,<br>20000)00000111111111111111                                                    | 6      | 3.312  | {N57,1,17263,17636}<br>{N465,0,16707,17080}  | {N57,1}<br>{N456,0}  |
| C880  | (0,10000)111111111(1,32000)<br>111111111111111111111111<br>(0,10000)111111111(1,32000)<br>11111111111111111111 | 29     | 2.062  | {N681,1,32199,32831}<br>{N741,0,32768,32912} | {N681,1}<br>{N741,0} |
| C1355 | 1111(0,10000)111111111(1,32000)<br>11111111111111111111111111                                                  | 5      | 2.844  | {N430,1,10088,10176}<br>{N459,1,10088,10176} | {N430,1}<br>{N459,1} |
| C1908 | 1(0,10000)11111(0,10000)111<br>(1,32000)11111111111<br>(1,32000)11111111                                       | 30     | 3.718  | {N69,0,11464,12036}<br>{N79,1,11364,11936}   | {N69,0}<br>{N79,1}   |
| C3540 | 1(0,10000)11111(0,10000)111<br>(1,32000)11111111111(1,32000)<br>111111111111(1,32000)11111111                  | 56     | 6.564  | {N56,0,10636,10736}<br>{N76,1,33419,34026}   | {N56,0}<br>{N76,1}   |
| C6288 | 111111111111(1,40000)<br>011111111111111111                                                                    | 187    | 11.500 | {N62,1,46580,46760}<br>{N64,0,46760,46880}   | {N62,1}<br>{N64,0}   |

从实验结果看出,本文研究的组合电路波形模拟方法能够对组合逻辑电路的竞争冒险现象进行检测,而且该波形模拟器在目前主流机上运行时间是毫秒级,该方法具有模拟准确、速度快等优点。

## 5 结束语

本文在布尔过程理论基础上,利用波形模拟器准确的定时功能,实现了一种考虑竞争冒险的组合电路波形模拟方法。该方法通过设置逻辑门的平均跳变延时,建立组合电路中关于竞争冒险的模型,同

时考虑了逻辑门的临界脉宽,能够正确检测出电路中由于竞争冒险形成的尖峰脉冲,这对进一步发现电路中不利的竞争冒险现象,精确描述电路的波形和逻辑功能提供了帮助。

## 参考文献

- [1] 李立健,闵应骅. 基于布尔过程的组合电路波形模拟[J]. 计算机辅助设计与图形学报, 2001, 13(3): 242-246.

(下转第 75 页)

次分别为基于语义的方法、基于统计的方法和未扩展方法。

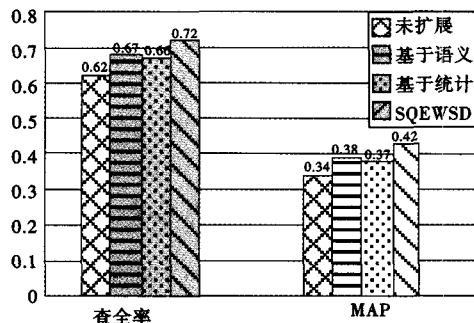


图4 实验结果比较

#### 4 结束语

本文提出了一种基于词义消歧的语义查询扩展方法,在确定查询词词义的基础上,从概念语义层次上实现查询扩展。结合语义查询树与局部反馈技术筛选扩展词,使得扩展词不仅与用户查询中的单个查询项具有较强语义关联,还与整个查询具有较好的语义关联度,保证了扩展词在语义上更加接近用户查询语义,从而有效提高了查询扩展的准确率。下一步将选取不同的测试集来检查该算法的稳定性。

#### 参考文献:

- [1] Furnas G W, Landauer T K, Gomez L M, et al. The vocabulary problem in human-system communication [J]. *Communication of ACM*, 1987, 30(11): 964-971.
- [2] 王瑞琴. 基于语义处理技术的信息检索模型研究[D]. 杭州:浙江大学, 2009.
- [3] Fellbaum C. *WordNet: an electronic lexical database* [M]. Cambridge, Massachusetts, UK: MIT Press, 1998.
- [4] Rada M, Paul T, Elizabeth F. PageRank on semantic networks with application to word sense disambiguation[C]//*Proceedings of the 20th international conference on Computational Linguistics*. USA: Jackson, 2004:1126-1132.
- [5] 蔡平,王志强,傅向华. 基于语义的跨媒体信息检索技术研究[J]. *微电子学与计算机*, 2010, 27(3):102-105.

#### 作者简介:

- 罗俊丽 女,(1985—),硕士,助教. 研究方向为信息检索。  
 李慧娜 女,(1980—),硕士,讲师. 研究方向为信息处理和信息安全。  
 路凯 男,(1979—),硕士,助教. 研究方向为信息安全。

(上接第70页)

- [2] Bushnell M L and Agrawal V D. *Essentials of electronic testing for digital, memory, and mixed-Signal VLSI Circuits* [M]. USA: Kluwer Academic Publishers, 2000: 13-14.
- [3] 廖薇,许春冬,刘锦高. 基于神经网络的模拟电路故障诊断研究 [J]. *微电子学与计算机*, 2010, 27(5): 125-127.
- [4] 黄海,李华伟. 组合电路中考虑串扰的布尔过程波形模拟 [J]. *微计算机信息*, 2010, 26(11-2): 173-174.
- [5] Banerjee S, Chowdhury D R, Bhattacharya B B. An efficient scan tree design for compact test pattern set [J]. *Proceedings of the 19th International Conference on VLSI Design*, 2006: 3-7.
- [6] Shuyan Jiang, Yongle Xie, Dajin Yu. Experiment and

Simulation of Transistor Level Fault Model of IDDT Test [D]. Chendu: Chendu School of Automation Engineering University of Science and Technology of Chendu. 2009.

- [7] 于云华,石寅. 数字集成电路故障测试策略和技术的研究进展 [J]. *电路与系统学报*, 2006, 9(3): 83-91.
- [8] 马超,陈西宏,邓均明,等. 模拟电路故障诊断的信息融合新方法 [J]. *微电子学与计算机*, 2011, 28(4): 10-12.

#### 作者简介:

- 蔡烁 男,(1982—),博士研究生,讲师. 研究方向为集成电路测试。